

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Off nlegungsschrift
⑪ DE 3424587 A1

⑤ Int. Cl. 4:
G06F 13/00
G 06 F 5/06

⑳ Aktenzeichen: P 34 24 587.1
㉔ Anmeldetag: 4. 7. 84
㉕ Offenlegungstag: 9. 1. 86

DE 3424587 A1

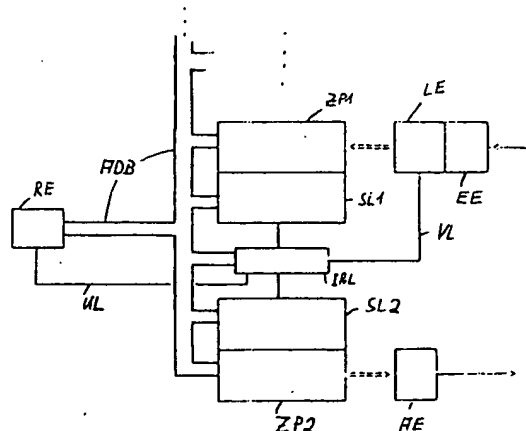
⑦1 Anmelder:
Standard Elektrik Lorenz AG, 7000 Stuttgart, DE

⑦2 Erfinder:
Gasser, Franz, Dipl.-Ing., 7250 Leonberg, DE

⑤4 Schaltungsanordnung zur Steuerung der bidirektionalen Datenübertragung zwischen einer Rechneinheit und über Ein-/Ausgabeeinheiten angeschlossenen Übertragungsleitungen

Schaltungsanordnung zur Steuerung der bidirektionalen Datenübertragung zwischen einer Rechneinheit und über Ein-/Ausgabeeinheiten angeschlossenen Übertragungsleitungen.

Jede Übertragungsrichtung weist einen Zwischenspeicher (ZP1, ZP2) auf, die über einen Adressen-/Datenbus (ADB) an eine Rechneinheit (RE) und über Ein-/Ausgabeeinheiten (EE, AE) an Übertragungsleitungen angeschlossen sind. Den Zwischenspeichern (ZP1, ZP2) ist je eine programmierbare Schwellenlogikeinheit (SL1, SL2) zugeordnet, die einerseits über den Adressen-/Datenbus (ADB) und andererseits über eine Unterbrechungsanforderungslogik (IRL) mit der Rechneinheit (RE) verbunden sind.



DE 3424587 A1

3424587

Standard Elektrik Lorenz
Aktiengesellschaft
Stuttgart

F. Gasser -1

Patentansprüche

- ①. Schaltungsanordnung zur Steuerung der bidirektionalen Datenübertragung zwischen einer Rechneinheit (RE) und über Ein-/Ausgabeeinheiten (EE, AE) angeschlossene Übertragungsleitungen, wobei für die erste Übertragungsrichtung
- 05 - Eingabeeinheit (EE), Rechneinheit (RE) - ein erster Zwischenspeicher (ZP1) und für die zweite Übertragungsrichtung - Rechneinheit (RE), Ausgabeeinheit (AE) - ein zweiter Zwischenspeicher (ZP2) vorgesehen ist, die
- 10 einerseits über einen Adressen-/Datenbus (ADB) mit der Rechneinheit (RE) und andererseits mit der Ein- bzw.

ZT/P1-Kn/B

02.07.1984

F. Gasser -1

Ausgabeeinheit (EE, AE) verbunden sind, d a d u r c h
g e k e n n z e i c h n e t , daß eine erste programmier-
bare Schwellenlogikeinheit (SL1) an den ersten Zwischen-
speicher (ZP1) angeschlossen ist, daß eine zweite program-
05 mierbare Schwellenlogikeinheit (SL2) an den zweiten
Zwischenspeicher (ZP2) angeschlossen ist, daß die erste
und die zweite programmierbare Schwellenlogikeinheit (SL1,
SL2) über den Adressen-/Datenbus (ADB) mit der Rechnerein-
heit (RE) verbunden sind, daß eine Unterbrechungsanforde-
10 rungslogik (IRL) zwischen die erste und die zweite pro-
grammierbare Schwellenlogikeinheit (SL1, SL2) geschaltet
und über den Adressen-/Datenbus (ADB) sowie eine Unter-
brechungsanforderungsleitung (UL) an die Rechnereinheit
(RE) geführt ist und daß die erste und die zweite program-
15 mierbare Schwellenlogikeinheit (SL1, SL2) einerseits durch
die Rechnereinheit (RE) vorgebbare Schwellenwerte spei-
chern und andererseits die Anzahl der in die Zwischen-
speicher (ZP1, ZP2) eingeschriebenen bzw. ausgelesenen
Datenworte zählen und beim Erreichen der vorgegebenen
20 Schwellenwerte ein Signal über die Unterbrechungsanforde-
rungslogik (IRL) und die Unterbrechungsanforderungsleitung
(UL) an die Rechnereinheit (RE) senden.

2. Schaltungsanordnung nach Ansprch 1, dadurch gekenn-
zeichnet, daß die erste und die zweite programmierbare
25 Schwellenlogikeinheit (SL1, SL2) eine erste bzw. zweite
Zähler-Registereinheit (ZR1, ZR2) enthalten, die mit dem
ersten bzw. zweiten Zwischenspeicher (ZP1, ZP2) sowie über
den Adressen-/Datenbus (ADB) mit der Rechnereinheit (RE)
und über eine erste bzw. zweite Vergleichseinheit (VE1,
30 VE2) mit der Unterbrechungsanforderungslogik (IRL) ver-
bunden sind.

F. Gasser -1

3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Unterbrechungsanforderungslogik (IRL) ein Unterbrechungsanforderungsregister (IANR), ein Unterbrechungsmaskierungsregister (IMAR) und ein Unterbrechungsausführungsregister (IAUSR) aufweist, daß das
05 Unterbrechungsanforderungsregister (IANR) mit den Vergleichseinheiten (VE1, VE2), mit dem Unterbrechungsmaskierungsregister (IMAR) und über den Adressen-/Datenbus (ADB) mit der Rechneinheit (RE) verbunden ist, daß das Unterbrechungsmaskierungsregister (IMAR) weiterhin an das
10 Unterbrechungsausführungsregister (IAUSR) und über den Adressen-/Datenbus (ADB) an die Rechneinheit (RE) geführt ist und daß das Unterbrechungsausführungsregister (IAUSR) an eine logische ODER-Schalteinheit (OR) angeschlossen ist, welche über die Unterbrechungsanforderungsleitung (UL) mit der Rechneinheit (RE) in Verbindung
15 steht.

4. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Logikeinheit
20 (LE), die zwischen jede Eingabeeinheit (EE) und jeden ersten Zwischenspeicher (ZP1) geschaltet ist, über je eine Verbindungsleitung (VL) mit dem Unterbrechungsanforderungsregister (IANR) verbunden ist, wodurch beim Übertragen von Daten in Paketform von seiten der Übertragungs-
25 leitungen ein Ende-Datenwort einer Nachricht in der Logikeinheit (LE) decodiert und von der Logikeinheit (LE) über die Verbindungsleitung (VL) ein Bit in dem Unterbrechungsanforderungsregister (IANR) gesetzt/gelöscht wird.

F. Gasser -1

Schaltungsanordnung zur Steuerung der bidirektionalen
Datenübertragung zwischen einer Rechneinheit und über
Ein-/Ausgabeeinheiten angeschlossenen Übertragungsleitungen

Die Erfindung betrifft eine Schaltungsanordnung zur Steuerung
05 der bidirektionalen Datenübertragung zwischen einer
Rechneinheit und über Ein-/Ausgabeeinheiten angeschlossene
Übertragungsleitungen, wobei für die erste Übertragungs-
richtung - Eingabeeinheit, Rechneinheit - ein
10 erster Zwischenspeicher und für die zweite Übertragungs-
richtung - Rechneinheit, Ausgabeeinheit - ein zweiter
Zwischenspeicher vorgesehen ist, die einerseits über einen
Adressen-/Datenbus mit der Rechneinheit und andererseits
mit der Ein- bzw. Ausgabeeinheit verbunden sind.

Zwischen Systemen mit unterschiedlichem Echtzeitverhalten,
15 wie zum Beispiel zwischen schnell arbeitenden Rechneinheiten
und langsamen peripheren Geräten werden zur Anpassung
der Arbeitsgeschwindigkeiten Zwischenspeicher verwendet.
Zum Steuern der bidirektionalen Datenübertragung
zwischen solchen Systemen ist bereits eine Schaltungsan-
20 ordnung bekannt (EP 0 013 347) in der Schwellenwerte vorge-
geben werden, die einer vorgebbaren Speicherkapazität der
Zwischenspeicher entsprechen.

ZT/P1-Kn/B

02.07.1984

F. Gasser -1

Diese Schaltungsanordnung hat jedoch den Nachteil, daß beim Erreichen dieser Schwellenwerte in der ersten Übertragungsrichtung - Eingabeeinheit, Rechnereinheit - die über die Übertragungsleitung ankommenden Daten solange
05 nicht in den Zwischenspeicher aufgenommen werden können, bis durch Aktivitäten von seiten der Rechnereinheit der Zwischenspeicher soweit geleert ist, daß der Schwellenwert wieder unterschritten ist. Somit ist für diesen Zeitraum ein weiterer Zwischenspeicher notwendig, damit die ankomen-
10 menden Daten nicht verloren gehen.

Weiterhin wird in der zweiten Übertragungsrichtung - Rechnereinheit, Ausgabeesinheit - beim Erreichen der Schwellenwerte das Auslesen des Zwischenspeichers veranlaßt, wobei die Rechnereinheit mit dem Einschreiben neuer
15 Daten solange warten muß, bis der Schwellenwert in dem Zwischenspeicher unterschritten ist. Dies bedeutet, daß als sinnvolle Schwellenwerte die maximale Kapazität der Zwischenspeicher zu setzen ist, womit sich aber eine durch Schwellenwerte abhängige Steuerung erübrigt.

20 Die technische Aufgabe der Schaltungsanordnung nach der Erfindung besteht darin, eine Steuerung zur bidirektionalen Datenübertragung zwischen einer Rechnereinheit und über Ein-/Ausgabeesinheiten angeschlossene Übertragungsleitungen so zu realisieren, daß eine minimale Belastung der
25 Rechnereinheit durch Unterbrechungsbearbeitungszeiten erreicht wird.

Eine erfindungsmäßige Schaltungsanordnung der eingangs genannten Art ist dadurch gekennzeichnet, daß eine erste programmierbare Schwellenlogikeinheit an den ersten
30 Zwischenspeicher angeschlossen ist, daß eine zweite programmierbare Schwellenlogikeinheit an den zweiten Zwischenspeicher angeschlossen ist, daß die erste und die zweite programmierbare Schwellenlogikeinheit über den

F. Gasser -1

Adressen-/Datenbus mit der Rechneinheit verbunden sind,
daß eine Unterbrechungsanforderungslogik zwischen die
erste und die zweite programmierbare Schwellenlogikeinheit
geschaltet und über den Adressen-/Datenbus sowie eine
05 Unterbrechungsanforderungsleitung an die Rechneinheit
geführt ist und daß die erste und die zweite programmier-
bare Schwellenlogikeinheit einerseits durch die Rechner-
einheit vorgebbare Schwellenwerte speichern und anderer-
seits die Anzahl der in die Zwischenspeicher eingeschrie-
10 benen bzw. ausgelesenen Datenworte zählen und beim Er-
reichen der vorgegebenen Schwellenwerte ein Signal über
die Unterbrechungsanforderungslogik und die Unter-
brechungsanforderungsleitung an die Rechneinheit senden.

Ein Vorteil der Erfindung liegt insbesondere darin, daß
15 durch die programmierbaren Schwellenlogikeinheiten eine
optimale Anpassung an den Datenfluß der Übertragungslei-
tungen ermöglicht wird, da die Zwischenspeicher zu jedem
Zeitpunkt die von den Eingabeeinheiten ankommenden Daten
einschreiben oder Daten an die Ausgabeeinheiten auslesen.
20 Außerdem wird die Rechneinheit durch die zwischen die
programmierbaren Schwellenlogikeinheiten geschaltete
Unterbrechungsanforderungslogik nur beim Erreichen der
vorgegebenen Schwellenwerte in den Zwischenspeichern zum
schnellen Auslesen und Einschreiben von Daten in die
25 Zwischenspeicher unterbrochen.

Weitere vorteilhafte Ausbildungen des Gegenstandes der Er-
findung sind den Unteransprüchen zu entnehmen. Ein Ausführ-
ungsbeispiel wird im folgenden anhand der Zeichnungen er-
läutert. Es zeigen:

30 Figur 1 ein Blockschaltbild für eine erfindungsgemäße
Schaltungsanordnung, und

F. Gasser -1

Figur 2 eine Schwellenlogikeinheit und eine Unterbrechungsanforderungslogik der erfindungsgemäßen Schaltungsanordnung nach Figur 1.

Für eine Steuerung der bidirektionalen Datenübertragung
05 zwischen einer Rechneinheit RE und über Ein-/Ausgabeein-
heiten EE, AE angeschlossene Übertragungsleitungen ist,
wie in Figur 1 gezeigt, für die erste Übertragungsrich-
tung - Rechneinheit RE, Ausgabeeinheit AE - ein erster
Zwischenspeicher ZP1 und für die zweite Übertragungsrich-
10 tung - Rechneinheit RE, Ausgabeeinheit AE - ein zweiter
Zwischenspeicher ZP2 vorgesehen. Dabei wird bei den Über-
tragungsleitungen hier von den Kanälen eines PCM 30
Systems ausgegangen, welches 32 Kanäle aufweist. Über die
Übertragungsleitungen wird ein serieller Bitstrom von
15 4,096 MBit/sec d.h. 16 Bit/Kanal übertragen. Der serielle
Bitstrom eines Kanals wird wortorientiert in den ersten
Zwischenspeicher ZP1 eingeschrieben und aus dem zweiten
Zwischenspeicher ZP2 ausgelesen. Zur besseren Übersicht
wurde nur 1 PCM Kanal in gehender und kommender Übertra-
20 gungsrichtung näher betrachtet, da alle anderen Kanäle
entsprechend gesteuert werden.

Die Zwischenspeicher ZP1, ZP2 sind einerseits über einen
Adressen-/Datenbus ADB mit der Rechneinheit RE und
andererseits über die Ein-/Ausgabeeinheiten EE, AE an die
25 PCM-Leitungen angeschlossen.

Von einem PCM Kanal eines PCM 30 Systems wird in jedem
Rahmen, d.h. alle 125 µsec ein Datenwort übertragen. Dabei
wird in der ersten Übertragungsrichtung ein ausgeblendetes
16 Bit Datenwort in der Eingabeeinheit EE aufgenommen, die
30 oberen 8 Bit abgetrennt sowie die unteren 8 Nutzbits in
den ersten Zwischenspeicher ZP1 eingeschrieben.

F. Gasser -1

Ebenso verläßt in der zweiten Übertragungsrichtung alle 125 μ sec ein Datenwort den zweiten Zwischenspeicher ZP2. Dabei werden in einer hier nicht näher gezeigten Formatierungslogik zunächst die oberen 8 Bit zwischengespeichert und beim Beschreiten der unteren 8 Bit das so
05 entstandene 16 Bit Datenwort in den zweiten Zwischen-
speicher ZP2 eingeschrieben und über die Ausgabeeinheit AE in einen Kanal des PCM 30 System eingeblendet. Für die
Zwischenspeicher ZP1, ZP2 wird von einer Kapazität von 12
10 Datenworten ausgegangen.

Eine erste und eine zweite programmierbare Schwellenlogikeinheit SL1, SL2 ist an den ersten bzw. zweiten Zwischenspeicher ZP1, ZP2 angeschlossen, sowie über den Adressen-/Datenbus ADB mit der Rechereinheit RE verbunden.
15 Zwischen die erste und zweite programmierbare Schwellenlogikeinheit SL1, SL2 ist eine Unterbrechungsanforderungslogik IRL geschaltet, die über den Adressen-/Datenbus ADB sowie eine Unterbrechungsanforderungsleitung UL mit der Rechereinheit RE in Verbindung steht.

20 Da alle programmierbaren Schwellenlogikeinheiten SL1, SL2 prinzipiell gleich aufgebaut sind, wird in Figur 2 nur die erste programmierbare Schwellenlogikeinheit SL1 gezeigt. Sie enthält eine erste Zähler-Registereinheit ZR1, die mit dem ersten Zwischenspeicher ZP1, über den Adressen-/Daten-
25 bus ADB mit der Rechereinheit RE und mit einer ersten Vergleichseinheit VE1 verbunden ist.

Die Unterbrechungsanforderungslogik IRL weist, wie aus Figur 2 ersichtlich, ein Unterbrechungsmaskierungsregister IMAR, ein Unterbrechungsausführungsregister IAUSR und ein Unterbrechungsanforderungsregister IANR auf. Das Unter-
30 brechungsanforderungsregister IANR ist mit den Vergleichseinheiten VE1, VE2, mit dem Unterbrechungsmaskierungsregister IMAR und über den Adressen-/Datenbus ADB mit der

F. Gasser -1

Rechnereinheit RE verbunden. Ferner ist das Unterbrechungs-
maskierungsregister IMAR an das Unterbrechungs-
ausführungsregister IAUSR und über den Adressen-/Datenbus
ADB an die Rechnereinheit RE geführt. Das Unterbrechungs-
05 ausfahrungsregister IAUSR ist an eine logische ODER-
Schalteinheit OR angeschlossen und über die Unter-
brechungsanforderungsleitung UL mit der Rechnereinheit RE
verbunden.

Die Rechnereinheit RE gibt nun über den Adressen-/Datenbus
10 ADB der ersten und zweiten programmierbaren Schwellen-
logikeinheit SL1, SL2 Schwellenwerte vor, die einer Anzahl
im ersten Zwischenspeicher ZP1 durch eingeschriebene
Datenworte besetzter Speicherplätze und im zweiten
Zwischenspeicher ZP2 durch das Auslesen der Datenworte
15 freigewordener Speicherplätze, im folgenden Leerplätze ge-
nannt, entsprechen. Diese Schwellenwerte werden in der
ersten bzw. einer zweiten Zähler-Registereinheit ZR1, ZR2
abgespeichert. Dabei wird im folgenden für die erste pro-
grammierbare Schwellenlogikeinheit SL1 von einem Schwel-
20 lenwert 9, d.h. 9 Datenworte eingeschrieben und für die
zweite programmierbare Schwellenlogikeinheit SL2 von einem
Schwellenwert 8, d.h. 8 Leerplätzen, ausgegangen.

Die erste und zweite Zählerregistereinheit ZR1, ZR2 zählen
wieviele Datenworte in den jeweiligen Zwischenspeicher
25 ZP1, ZP2 eingeschrieben und ausgelesen worden sind. Somit
enthalten die Zählerregistereinheiten ZR1, ZR2 einerseits
die vorgegebenen Schwellenwerte und andererseits die An-
zahl der zu jedem Zeitpunkt eingeschriebenen Datenworte
des ersten Zwischenspeichers ZP1 bzw. die entsprechende
30 Anzahl der Leerplätze des zweiten Zwischenspeichers ZP2.
Die erste und eine zweite Vergleichseinheit VE1, VE2 ver-
gleichen nun die abgespeicherten Schwellenwerte mit dem
Inhalt der die Anzahl der eingeschriebenen Datenworte bzw.
Leerplätze enthaltenden Register. Solange die Registerin-

F. Gasser -1

halte gleich oder größer als der entsprechende Schwellenwert sind, wird ein Signal an das Unterbrechungsanforderungsregister IANR der Unterbrechungsanforderungslogik IRL abgegeben.

- 05 Die Unterbrechungsregister IANR, IAUSR, IMAR der Unterbrechungsanforderungslogik IRL weisen für alle ersten Zwischenspeicher ZP1 ein gemeinsames Bit, für alle zweiten Zwischenspeicher ZP2 ein gemeinsames Bit und für eine mögliche Übertragung von Daten in Paketform (wird später noch
- 10 beschrieben) ein weiteres gemeinsames Bit auf.

Enthält das System mehr als zwei Zwischenspeicher ZP1, ZP2 so werden zur Auffindung der ein Signal aussendenden Vergleichseinheit VE1, VE2 die folgenden nicht näher dargestellten Register benötigt.

- 15 Ein erstes Unterbrechungs-Identifizierungsregister, das pro erstem Zwischenspeicher ZP1 ein Bit aufweist, welches durch die zugehörige Vergleichseinheit VE1 beim Erreichen des Schwellenwertes auf logisch "1" gesetzt wird. Ein entsprechendes zweites Unterbrechungs-Identifizierungs-
- 20 register für die zweiten Zwischenspeicher ZP2 und ein entsprechendes drittes Unterbrechungs-Identifizierungsregister für eine jedem ersten Zwischenspeicher ZP1 zugeordnete (wird später beschrieben) Logikeinheit LE.

- Durch ein z.B. von der ersten Vergleichseinheit VE1 abgegebenes Signal an das Unterbrechungsanforderungsregister IANR wird dort das für den ersten Zwischenspeicher ZP1 vorgesehene Bit auf einen logischen "1"-Pegel gesetzt.
- 25 Entsprechend der in dem Unterbrechungsmaskierungsregister IMAR vorliegenden Maske, die über den Adressen-/Datenbus ADB von der Steuereinheit SE aufgelegt wird, wird nun das
- 30 von dem Unterbrechungsanforderungsregister IANR vorliegende "1"-Pegelsignal zum Unterbrechungsausführungs-

F. Gasser -1

register IAUSR durchgeschaltet oder gesperrt. Jeder logische "1"-Pegel im Unterbrechungsaußführungsregister IAUSR wird durch die ODER-Schalteinheit OR als Unterbrechungssignal über die Unterbrechungsanforderungsleitung
05 UL zur Rechneinheit RE gemeldet.

Die Rechneinheit RE registriert das Unterbrechungssignal, beendet seine gerade laufende Arbeit und legt über den Adressen-/Datenbus ADB im Unterbrechungsmaskierungsregister IMAR eine neue Maske auf, so daß keine weiteren
10 von der Rechneinheit RE ungewollten Unterbrechungssignale an die Rechneinheit RE durchgeschaltet werden können. Jetzt liest die Rechneinheit RE über den Adressen-/Datenbus ADB den Inhalt des Unterbrechungsanforderungsregisters IANR aus, wodurch sie mitgeteilt bekommt,
15 daß die Schwelle im ersten Zwischenspeicher ZP1 erreicht wurde.

Wird von einem System mit mehreren Zwischenspeichern ZP1, ZP2 ausgegangen, so erhält die Rechneinheit RE durch den Inhalt des Unterbrechungsanforderungsregisters IANR zu-
20 nächst die Information, ob ein Schwellenwert in einem ersten oder einem zweiten Zwischenspeicher ZP1, ZP2 erreicht wurde. Sodann greift die Rechneinheit RE auf das erste Unterbrechungs-Identifizierungsregister oder auf das zweite Unterbrechungs-Identifizierungsregister zu, wodurch
25 die Rechneinheit RE erkennt, welchen Zwischenspeicher ZP1, ZP2 sie zu bedienen hat.

Unter der Annahme, daß die beiden vorgegebenen Schwellenwerte im ersten und im zweiten Zwischenspeicher ZP1, ZP2 gleichzeitig erreicht werden, wird entsprechend der Bearbeitungspriorität, die im Programm der Rechneinheit RE
30 vorgebar ist, vorgegangen.

F. Gasser -1

Im vorliegenden Fall legt nun die Rechneinheit RE über den Adressen-/Datenbus ADB die Adresse der ersten Zähler-Registereinheit ZR1 an und der Inhalt des Register, der inzwischen 10 sei, wird ausgelesen und in der Rechneinheit RE abgespeichert. Aufgrund dieses Registerinhaltes liest nun die Rechneinheit RE über den Adressen-/Datenbus ADB 10 Datenwörter aus dem ersten Zwischenspeicher ZP1 aus und speichert sie zur weiteren Verarbeitung ab. Dadurch wird der Inhalt des Registers der ersten Zähler-Registereinheit ZR1 entsprechend dekrementiert. Sobald die erste Vergleichseinheit VE1 erkennt, daß der vorgegebene Schwellenwert unterschritten wurde, wird auch das Signal an das Unterbrechungsanforderungsregister IANR aufgehoben und das entsprechende Bit im Unterbrechungsanforderungsregister IANR auf den logischen "0"-Pegel gesetzt.

Falls inzwischen ein weiteres Unterbrechungssignal nach geänderter Maske, da der vorliegende Vorgang durch die Rechneinheit RE abgeschlossen war, aufgrund des Erreichens des Schwellenwertes des zweiten Zwischenspeichers ZP2 der Rechneinheit RE vorliegt, wiederholt sich analog zum vorher beschriebenen Vorgang der gleiche Ablauf. Die Rechneinheit RE liest dabei den Inhalt der zweiten Zähler-Registereinheit ZR2, der inzwischen 11 sei, aus und speichert ihn ab. Nun überträgt die Rechneinheit RE 11 Datenwörter zum zweiten Zwischenspeicher ZP2. Dabei wird die zweite Zähler-Registereinheit ZR2 dekrementiert und das zugehörige Bit im Unterbrechungsanforderungsregister IANR nach Unterschreiten des Schwellenwertes auf den "0"-Pegel gesetzt. Die Rechneinheit RE kann nun wieder solange andere Aufgaben bearbeiten, bis erneut die für die Zwischenspeicher ZP1, ZP2 vorgegebenen Schwellenwerte überschritten werden.

(= Transfer of data from ZR2 to ZP2)

F. Gasser -1

Durch die von der Rechneinheit RE vorgebbaren Schwellenwerte, d.h. das Programmieren der Schwellenlogikeinheiten SL1, SL2, wird eine optimale Anpassung der verschiedenen Geschwindigkeiten der Signale der jeweils angeschlossenen Übertragungsleitungen und der jeweils benutzten Rechneinheit RE ermöglicht. Dabei können durch die vorgebbaren Schwellenwerte die Geschwindigkeit der Rechneinheit RE zum Auslesen und Einschreiben eines Datenwortes in einen Zwischenspeicher ZP1, ZP2, die verschiedenen Prioritäten eines Unterbrechungssignals sowie besondere Gegebenheiten der Zwischenspeicher ZP1, ZP2 mühelos berücksichtigt werden. Dies hat eine minimale Belastung der Rechneinheit RE durch Unterbrechungsbearbeitungszeiten zur Folge. Sollte während des Betriebes eine Verkehrslaständerung von seiten der Übertragungsleitungen auftreten, kann die Rechneinheit RE durch das Abändern der Schwellenwerte auch solche Betriebsfälle entsprechend leicht steuern.

Für den Fall, daß die von den PCM-Leitungen kommenden Daten in Paketform gesendet werden, ist gemäß der Erfindung zwischen jede Eingabeeinheit EE und jedem ersten Zwischenspeicher ZP1 eine Logikeinheit LE geschaltet, die je über eine Verbindungsleitung VL mit dem Unterbrechungsanforderungsregister IANR verbunden ist. Die Logikeinheit LE decodiert das Ende-Wort einer Nachricht und beschreibt über die Verbindungsleitung VL ein zugehöriges Bit im Unterbrechungsanforderungsregister IANR. Bei einem System mit mehreren ersten Zwischenspeichern ZP1, sind die Logikeinheiten LE mit dem dritten Unterbrechungs-Identifizierungsregister verbunden. Somit wird der Rechneinheit RE bei entsprechender Maske im Unterbrechungsmaskierungsregister IMAR über das Unterbrechungsausführungsregister

F. Gasser -1

05 IAUSR ein Unterbrechungssignal gesendet, wenn das Ende einer Nachricht im ersten Zwischenspeicher ZP1 eingeschrieben ist. Anderenfalls würde das Ende einer Nachricht solange im ersten Zwischenspeicher ZP1 stehen bleiben, bis eine nachfolgende Nachricht den ersten Zwischenspeicher ZP1 bis zum vorgegebenen Schwellenwert aufgefüllt hätte.

- 15 -
- Leerseite -

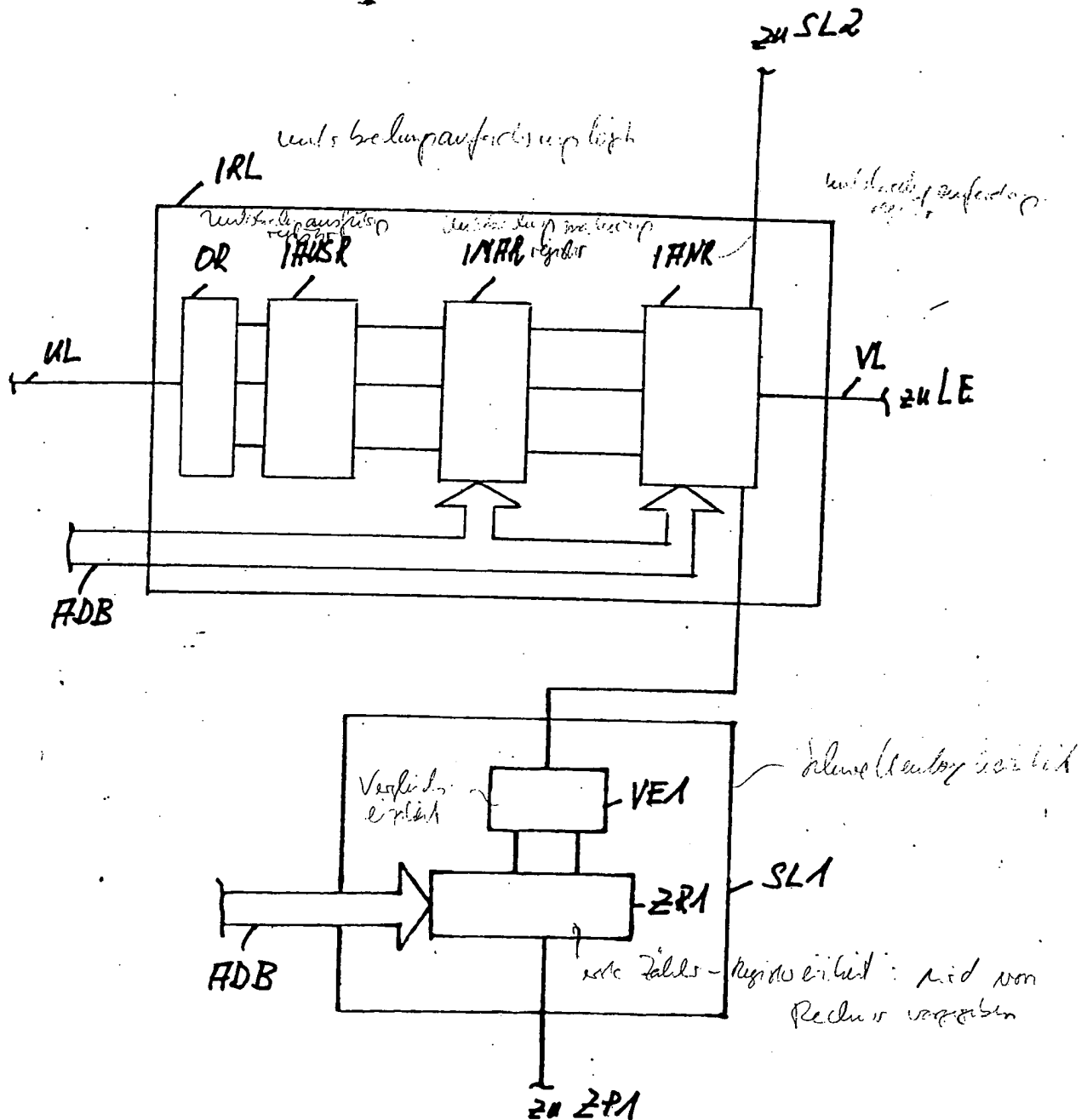


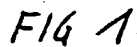
FIG 2

AN DER UNIVERSITÄT

DUISBURG ESSEN

SS 88 - AG 111-110

0011-110



DOCKET NO: GR00P1696
SERIAL NO: 09/829,330
APPLICANT: Becker et al.
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100

F. Grasser-1